

Vom Transistor zum Gatter

Einführung in die CMOS-Elektronik

Clifford Wolf

ROCK Linux - <http://www.rocklinux.org/>

Csync2 - <http://oss.linbit.com/csync2/>

STFL - <http://www.clifford.at/stfl/>

SPL - <http://www.clifford.at/spl/>



Einleitung

- Analog vs. Digital
- Gatter
- Gattersymbole
- Speicher
- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

Einleitung



Analog vs. Digital

Einleitung

● Analog vs. Digital

- Gatter
- Gattersymbole
- Speicher
- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Digitalschaltungen kennen nur die Zustände '0' und '1'.
- Diese Schaltungen bestehen aus Gattern und Speicherelementen.
- Diese Komponenten haben sehr einfache und überschaubare Aufgaben.
- In einem späteren Vortrag wird gezeigt wie man aus diesen Komponenten komplexe Schaltungen (CPUs, etc.) aufbauen kann.
- Die fundamentalen Digitalkomponenten bestehen aus analogen Schalteilen.
- Wie das funktioniert behandelt dieser Vortrag.



Gatter

Einleitung

- Analog vs. Digital

● Gatter

- Gattersymbole

- Speicher

- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Gatter haben mehrere Eingänge und einen Ausgang.
- Der Wert des Ausgangs hängt von den Werten der Eingänge ab.
- Die Gatter-Typen mit einem Eingang sind:
 - ◆ NOT: liefert '1' wenn der Eingang '0' ist
 - ◆ Buffer: liefert '1' wenn der Eingang '1' ist
- Die wichtigsten Gatter-Typen mit mehreren Eingängen sind:
 - ◆ AND: liefert '1' wenn alle Eingänge '1' sind
 - ◆ NAND: liefert '0' wenn alle Eingänge '1' sind
 - ◆ OR: liefert '1' wenn mindestens ein Eingang '1' ist
 - ◆ NOR: liefert '0' wenn mindestens ein Eingang '1' ist
 - ◆ XOR: liefert '1' wenn eine ungerade Anzahl von Eingängen '1' ist



Gattersymbole

Einleitung

- Analog vs. Digital
- Gatter
- Gattersymbole
- Speicher
- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

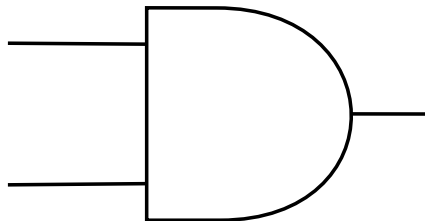
Wachstumsgesetze

Optimierungen

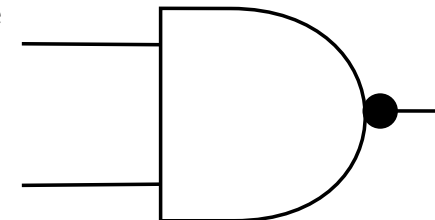
Simulationen

Referenzen

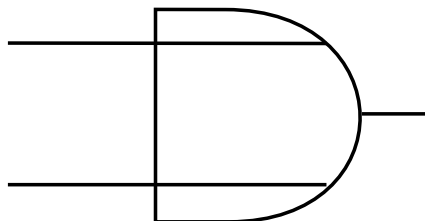
AND-Gate



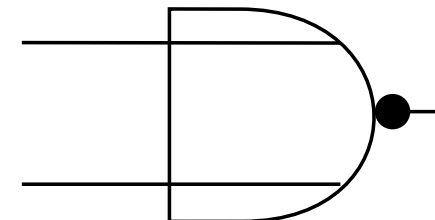
NAND-Gate



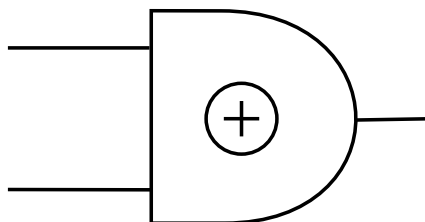
OR-Gate



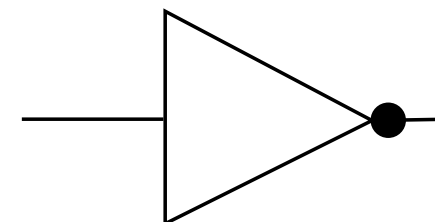
NOR-Gate



XOR-Gate



Inverter





Speicher

Einleitung

- Analog vs. Digital
- Gatter
- Gattersymbole

● Speicher

- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Speicherelemente (aka Register) speichern Werte.
- D-Latches haben einen Daten- und einen Enable-Eingang.
 - ◆ Der Wert vom Daten-Eingang wird übernommen wenn der Enable-Eingang auf '1' ist.
- D-FlipFlops haben einen Daten- und einen Clock-Eingang.
 - ◆ Der Wert vom Daten-Eingang wird übernommen wenn der Clock-Eingang von '0' auf '1' geht.
- SR-Latches haben einen Set- und einen Reset-Eingang.
 - ◆ Der Wert vom Daten-Eingang wird auf '1' gesetzt wenn der Set-Eingang auf '1' ist.
 - ◆ Der Wert vom Daten-Eingang wird auf '0' gesetzt wenn der Reset-Eingang auf '1' ist.



Speichersymbole

Einleitung

- Analog vs. Digital
- Gatter
- Gattersymbole
- Speicher
- Speichersymbole

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

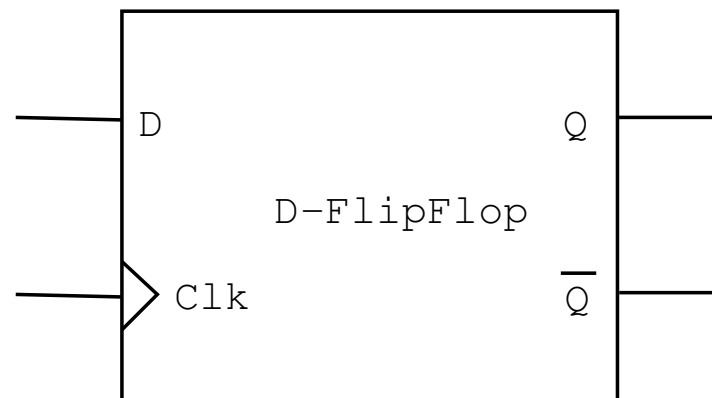
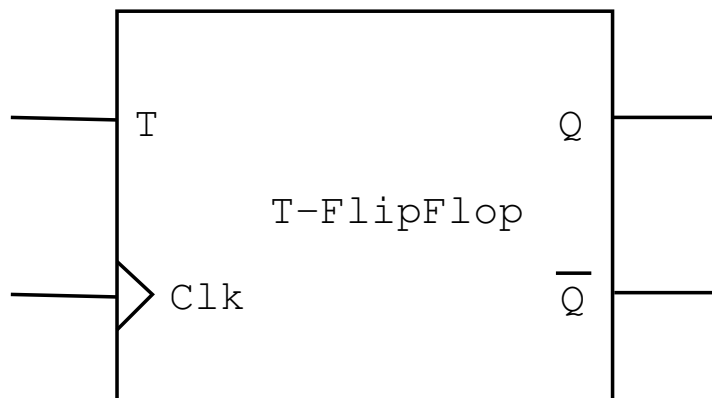
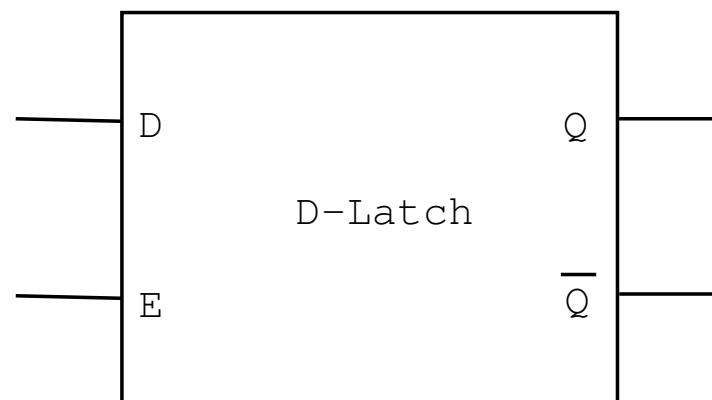
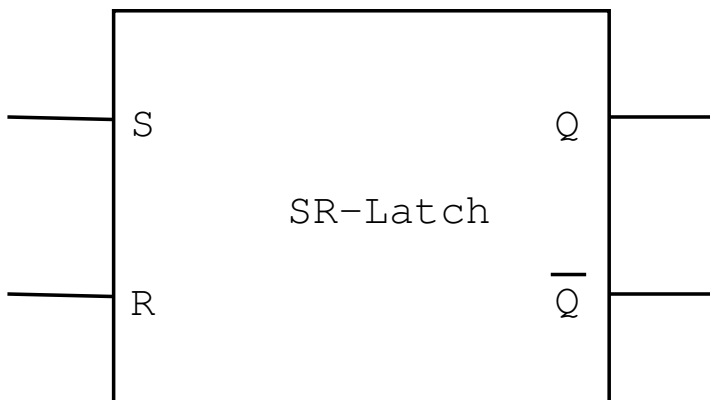
CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen





Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Elektrische Grundlagen



Kraft und Energie

Einleitung

Elektrische Grundlagen

● Kraft und Energie

- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Kraft (engl. *force*, Formelzeichen: F)
 - ◆ Einheit: Newton (N)
 - ◆ $1N$ entspricht etwa der Gewichtskraft von $102g$ auf Meereshöhe
- Energie (engl. *energy*, Formelzeichen: E)
 - ◆ Einheit: Joule (J)
 - ◆ $1J = 1Nm$



Ladung

Einleitung

Elektrische Grundlagen

● Kraft und Energie

● Ladung

● Stromstärke

● Potential und Spannung

● Pole und Masse

● Leistung

● Widerstand und Leitwert

● Widerstände in Reihe und Parallel

● Potential in einer Widerstandskette

● Kapazität

● Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Ladung (engl. *charge*, Formelzeichen: Q)
 - ◆ Einheit: Coulomb (C)
 - ◆ Ladung eines Elektrons: $-1.60219 \cdot 10^{-19} C$
 - ◆ $1C = 1As = 1FV$

- Alle anderen elektrischen Grössen lassen sich als Beziehungen von Ladung, Energie und Zeit ausdrücken.



Stromstärke

Einleitung

Elektrische Grundlagen

● Kraft und Energie

● Ladung

● Stromstärke

● Potential und Spannung

● Pole und Masse

● Leistung

● Widerstand und Leitwert

● Widerstände in Reihe und

Parallel

● Potential in einer

Widerstandskette

● Kapazität

● Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Stromstärke (engl. *current*, Formelzeichen: I)
 - ◆ Einheit: Ampere (A)
 - ◆ $1A = 1C/s$
- Die Stromstärke gibt an wie viel Ladung sich jede Sekunde durch einen Leiter bewegt.
- Fließt kein Strom beträgt die Stromstärke also 0 Ampere.



Potential und Spannung

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Spannung (engl. *voltage*, Formelzeichen: U bzw. V)
- Spannung = Potentialdifferenz
 - ◆ Einheit: Volt (V)
 - ◆ $1V = 1J/C$
- Vergleich: Wenn die Ladung der Menge eines Gases entspricht, so entspricht das Potential dem Druck, unter dem dieses Gas steht.
- Wo Ladung ist gibt es auch ein Potential.
- Zwischen zwei unterschiedlichen Potentialen liegt Spannung.
- Es muss kein Strom fließen damit diese Spannung da ist.
- Je größer die Spannung desto mehr Energie trägt jedes Coulomb der Ladungen.



Pole und Masse

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Zwei Orte zwischen denen eine Potentialdifferenz herrscht (Spannung liegt) heissen Pole.
- Der relativ zum anderen positiver geladene Pol heisst Plus-Pol (+-Pol), der andere Minus-Pol (—-Pol).
- Da sich Potential alleine nicht bemerkbar macht und nicht messbar ist, sondern man immer eine Potentialdifferenz braucht, ist ein Bezugspunkt notwendig.
- Dieser Bezugspunkt wird Masse genannt.
- In den meisten Schaltungen wird der Minus-Pol als Masse benutzt.
- Das ist aber nur Konvention und es gibt auch Schaltungen in denen der Plus-Pol als Masse verwendet wird.



Leistung

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Leistung (engl. *power*, Formelzeichen: P)
 - ◆ Einheit: Watt (W)
 - ◆ $1W = 1VA$
- Leistung über einen Zeitraum ist Energie.
- Eine Wattsekunde entspricht einem Joule.



Widerstand und Leitwert

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Widerstand (engl. *impedance*, Formelzeichen: R)
 - ◆ Einheit: Ohm (Ω)
 - ◆ $1\Omega = 1V/A$
- Leitwert (engl. *conductance*, Formelzeichen: G)
- Der Leitwert ist der Kehrwert des Widerstandes
 - ◆ Einheit: Siemens (S)
 - ◆ $1S = 1A/V$
- Der Widerstand gibt an wie viel Strom bei einer gewissen Spannung durch einen Leiter fließen kann.
- Je mehr Spannung desto mehr Strom kann “gegen den Widerstand” durch den Leiter “gepresst” werden.
- Jedes elektrische Bauteil besitzt einen Widerstand.



Widerstände in Reihe und Parallel

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Hintereinander (“in Reihe” oder auch “in Serie”) geschaltete Bauteile addieren ihre Widerstände auf:

- $R_{\text{ges}} = R_1 + R_2 + \dots + R_n$

- Parallel geschaltete Bauteile addieren ihre Leitwerte auf:

- $G_{\text{ges}} = G_1 + G_2 + \dots + G_n$

- $R_{\text{ges}} = R_1 \parallel R_2 \parallel \dots \parallel R_n$

- $\frac{1}{R_{\text{ges}}} = \frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_n}$

- $R_{\text{ges}} = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_n}}$



Potential in einer Widerstandskette

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel

Parallel

● Potential in einer Widerstandskette

- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Eine Schaltung besteht aus parallel und/oder in Serie geschalteten Bauteilen, die die Pole einer Spannungsquelle miteinander verbinden.
- Jedes dieser Bauteile hat einen Widerstand.
- Entlang jedes Pfades in der Schaltung vom Plus-Pol der Spannungsquelle zum Minus-Pol der Spannungsquelle nimmt das Potential direkt proportional zum zurückgelegten Widerstand ab.
- Für jede Schaltung mit der Spannung U_e zwischen den Polen der Spannungsquelle gilt für jeden Punkt in der Schaltung mit dem Widerstand R_1 zum Plus-Pol sowie dem Widerstand R_2 zum Minus-Pol für die Spannung U_a zum Minus-Pol:

$$U_a = U_e \cdot \frac{R_2}{R_1 + R_2}$$



Kapazität

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette

● Kapazität

- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Kapazität (engl. *capacitance*, Formelzeichen: C)
 - ◆ Einheit: Farad (F)
 - ◆ $1F = 1C/V$
- Manche Bauteile können Ladung speichern.
- Das “Speichervolumen” wird Kapazität genannt.
- Bei gleicher Kapazität kann bei doppelter Spannung doppelt so viel Ladung gespeichert werden.



Schaltsymbole

Einleitung

Elektrische Grundlagen

- Kraft und Energie
- Ladung
- Stromstärke
- Potential und Spannung
- Pole und Masse
- Leistung
- Widerstand und Leitwert
- Widerstände in Reihe und Parallel
- Potential in einer Widerstandskette
- Kapazität
- Schaltsymbole

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

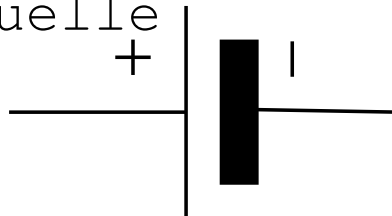
CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

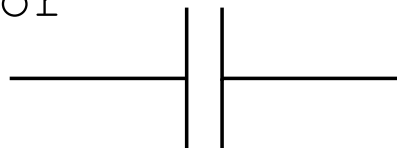
Spannungsquelle



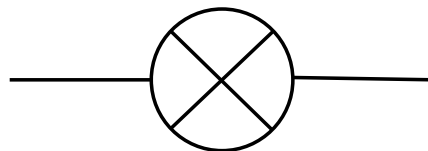
Widerstand



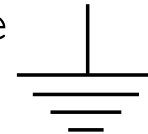
Kondensator



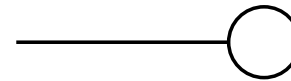
Lampe



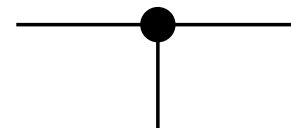
Masse



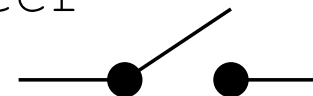
Anschluss



Verbindung



Schalter





Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

Halbleiter



Leiter und Halbleiter

Einleitung

Elektrische Grundlagen

Halbleiter

● Leiter und Halbleiter

- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Ein Leiter ist ein Material in dem Strom fließen kann.
- D. h. eine Gitterstruktur aufweist in der sich Ladungsträger frei bewegen können.
- Diese Ladungsträger können sein:
 - ◆ *Elektronen*: Die negativ geladenen Elementarteilchen.
 - ◆ *Löcher*: Freie Plätze in den ausseren Elektronenschalen der Atome des Leiters.
- Ein Material in dem grundsätzlich Strom fließen könnte, in dem aber keine freien Ladungsträger vorhanden sind, nennt man Halbleiter.
- Ohne zusätzliche Veränderungen sind Halbleiter bei Zimmertemperatur Nichtleiter.



Stromrichtung

Einleitung

Elektrische Grundlagen

Halbleiter

● Leiter und Halbleiter

● **Stromrichtung**

● P- und N-Dotierungen (1/2)

● P- und N-Dotierungen (2/2)

● P-N-Übergang

● Dioden

● BiPolar-Transistoren

● Feldeffekt-Transistoren (1/2)

● Feldeffekt-Transistoren (2/2)

● Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Wenn Strom fließt tauschen ständig Elektronen und Löcher Platz.
- So gesehen fließt Strom nicht von einer zur anderen Richtung.
- Sondern:
 - ◆ Elektronen fließen vom Minus-Pol zum Plus-Pol.
 - ◆ Löcher fließen vom Plus-Pol zum Minus-Pol.
- Der Fluss der Löcher wird “Technische Stromrichtung” genannt.
- Der Fluss der Elektronen wird “Physikalische Stromrichtung” genannt.
- Elektronische Schaltsymbole orientieren sich meistens an der technischen Stromrichtung.



P- und N-Dotierungen (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter

- Stromrichtung

- P- und N-Dotierungen (1/2)

- P- und N-Dotierungen (2/2)

- P-N-Übergang

- Dioden

- BiPolar-Transistoren

- Feldeffekt-Transistoren (1/2)

- Feldeffekt-Transistoren (2/2)

- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Halbleiter können leitend gemacht werden indem man andere Elemente in sie einbringt die freie Ladungsträger mitbringen.
- Diesen Vorgang nennt man “dotieren”.
- Werden Elemente mit freien Elektronen eingebracht nennt man den Halbleiter N-dotiert.
- “N” da die Elektronen negative Ladungsträger sind.
- Elemente mit freien Elektronen werden “Donatoren” genannt.
- Werden Elemente mit freien Löchern eingebracht nennt man den Halbleiter P-dotiert.
- “P” da die Löcher positive Ladungsträger sind.
- Elemente mit freien Löchern werden “Akzeptoren” genannt.



P- und N-Dotierungen (2/2)

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Für die Dotierung werden nur sehr wenige Donatoren bzw. Akzeptoren eingebracht:
 - ◆ N-dotiert: 1 Donator auf 10^7 Si-Atome
 - ◆ P-dotiert: 1 Akzeptor auf 10^6 Si-Atome
- Neben den “normal” dotierten Halbleitern gibt es auch noch besonders stark dotierte Halbleiter:
 - ◆ N+-dotiert: 1 Donator auf 10^4 Si-Atome
 - ◆ P+-dotiert: 1 Akzeptor auf 10^4 Si-Atome
- Auch dotierte Halbleiter sind elektrisch neutral geladen.
- Der Buchstabe gibt lediglich den Typ der freien Ladungsträger an.



P-N-Übergang

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Liegen in einem Halbleiter P- und N-dotierte Bereiche nebeneinander so entsteht ein P-N-Übergang.
- In der direkten Nähe eines solchen P-N-Übergangs wandern die Löcher aus dem P-Bereich in den N-Bereich und die Elektronen aus dem N-Bereich in den P-Bereich.
- Dieser Effekt wird Diffusion genannt.
- Dieser Vorgang endet automatisch wenn eine bestimmte Spannung erreicht ist.
- Bei Silizium mit typischen Dotierungen: bei 0.6-0.7 Volt
- Damit heben sich entlang des P-N-Übergangs die leitende Effekte der Dotierungen gegenseitig auf.
- Den entstandenen nichtleitenden Bereich nennt man Verarmungszone, Raumladungszone oder Sperrschicht.



Dioden

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang

● Dioden

- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Dioden sind Bauelemente die Strom nur in einer Richtung durchlassen.
- Dioden bestehen im Wesentlichen aus einem P-N-Übergang.
- Wenn Plus an der P-Seite und Minus an der N-Seite anliegen:
 - ◆ transportiert der Strom freie Ladungsträger in die Sperrschicht.
 - ◆ Die Sperrschicht wird kleiner und verschwindet.
 - ◆ Die Diode ist leitend.
- Wenn Plus an der N-Seite und Minus an der P-Seite anliegen:
 - ◆ transportiert der Strom freie Ladungsträger aus der Sperrschicht heraus und vergrößert diese.
 - ◆ Die Diode sperrt.



BiPolar-Transistoren

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

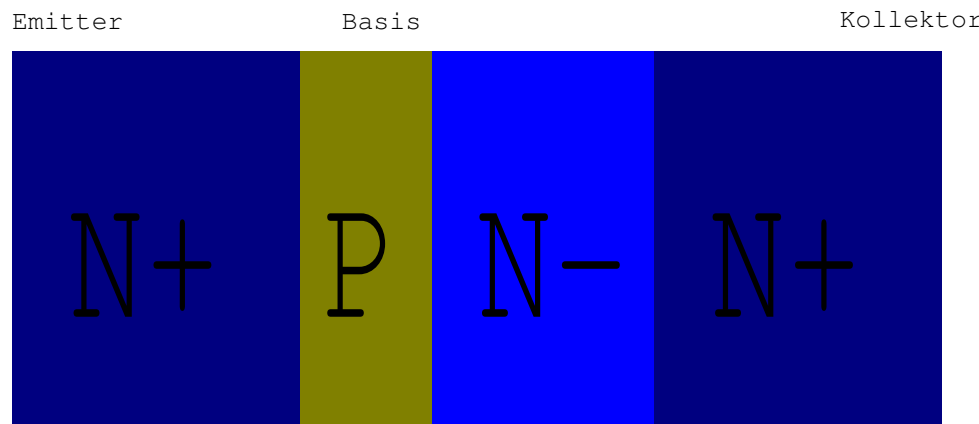
Optimierungen

Simulationen

Referenzen

- Bipolartransistoren haben drei Anschlüsse: Emitter, Basis und Kollektor
- NPN Transistoren leiten Strom vom Kollektor zum Emitter wenn ein Steuerstrom von der Basis zum Emitter fließt.
- PNP Transistoren leiten Strom vom Emitter zum Kollektor wenn ein Steuerstrom vom Emitter zur Basis fließt.

- Schematischer Aufbau eines NPN Transistors:





Feldeffekt-Transistoren (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Feldeffekt Transistoren (FET, MOSFET, manchmal auch nur kurz MOS) haben vier Anschlüsse: Source, Drain, Gate und Bulk
- Die Anschlüsse Source und Drain sind im Grunde austauschbar.
- Oft werden Bulk und Source intern miteinander verbunden und als ein Anschluss behandelt.
- nMOSFET (n-Kanal-MOSFET):
 - ◆ Leitet ein niedriges Potential zwischen Source und Drain
 - ◆ wenn am Gate ein hohes Potential anliegt
- pMOSFET (p-Kanal-MOSFET):
 - ◆ Leitet ein hohes Potential zwischen Source und Drain
 - ◆ wenn am Gate ein niedriges Potential anliegt



Feldeffekt-Transistoren (2/2)

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

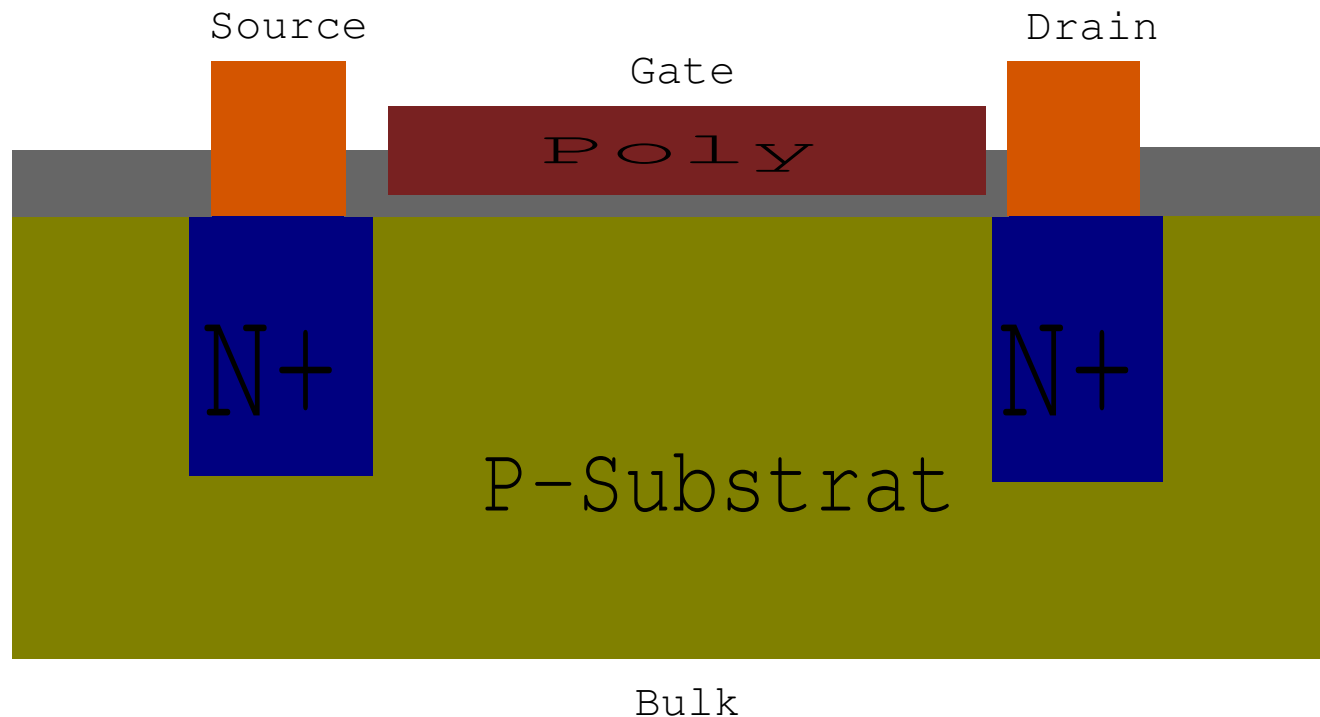
Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Gate und Bulk eines MOSFETs bilden einen Kondensator.
- Daher fließt über Gate nur Strom wenn der MOSFET schaltet und der Kondensator ge- oder entladen wird.
- Schematischer Aufbau eines nMOS-Transistors:





Schaltsymbole

Einleitung

Elektrische Grundlagen

Halbleiter

- Leiter und Halbleiter
- Stromrichtung
- P- und N-Dotierungen (1/2)
- P- und N-Dotierungen (2/2)
- P-N-Übergang
- Dioden
- BiPolar-Transistoren
- Feldeffekt-Transistoren (1/2)
- Feldeffekt-Transistoren (2/2)
- Schaltsymbole

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

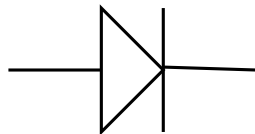
Wachstumsgesetze

Optimierungen

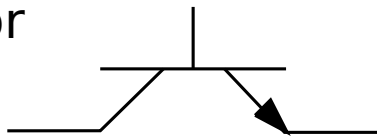
Simulationen

Referenzen

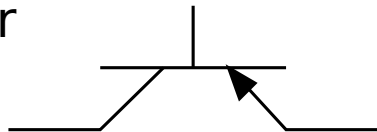
Diode



NPN-Transistor



PNP-Transistor



nMOSFET



pMOSFET





CMOS Grundlagen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

- Transfer Gates
- Pull-Up/Pull-Down
- nMOS und Pseudo-nMOS
- Inverting Buffer
- NAND Gatter
- XOR Gatter
- Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen



Transfer Gates

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

● Transfer Gates

● Pull-Up/Pull-Down

● nMOS und Pseudo-nMOS

● Inverting Buffer

● NAND Gatter

● XOR Gatter

● Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- MOSFETs sind keine “echten Schalter” denn:
 - ◆ nMOSFETs können nur niedriges Potential leiten
 - ◆ pMOSFETs können nur hohes Potential leiten
- Aus der Kombination von nMOSFET und pMOSFET kann man einen “echten Schalter” bauen.
- Dabei braucht man das Steuersignal zusätzlich auch invertiert für den nMOSFET.
- Eine solche Konstruktion nennt man “Transfer Gate”.



Pull-Up/Pull-Down

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

● Transfer Gates

● Pull-Up/Pull-Down

● nMOS und Pseudo-nMOS

● Inverting Buffer

● NAND Gatter

● XOR Gatter

● Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Ein CMOS-Logikelement erzeugt in Abhängigkeit seiner Eingangssignale ein Ausgangssignal mit hohem oder niedrigem Potential.
- Dazu wird mit pMOSFETs ein “Pull-Up-Pfad” konstruiert der bei entsprechenden Eingangssignalen das hohe Versorgungspotential (V_{dd}) mit dem Ausgang kurzschliesst.
- Und mit nMOSFETs wird ein “Pull-Down-Pfad” konstruiert der bei entsprechenden Eingangssignalen das niedrige Versorgungspotential (Masse) mit dem Ausgang kurzschliesst.
- Manchmal müssen dafür Eingangssignale erst invertiert werden.



nMOS und Pseudo-nMOS

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

- Transfer Gates
- Pull-Up/Pull-Down
- nMOS und Pseudo-nMOS

- Inverting Buffer
- NAND Gatter
- XOR Gatter
- Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

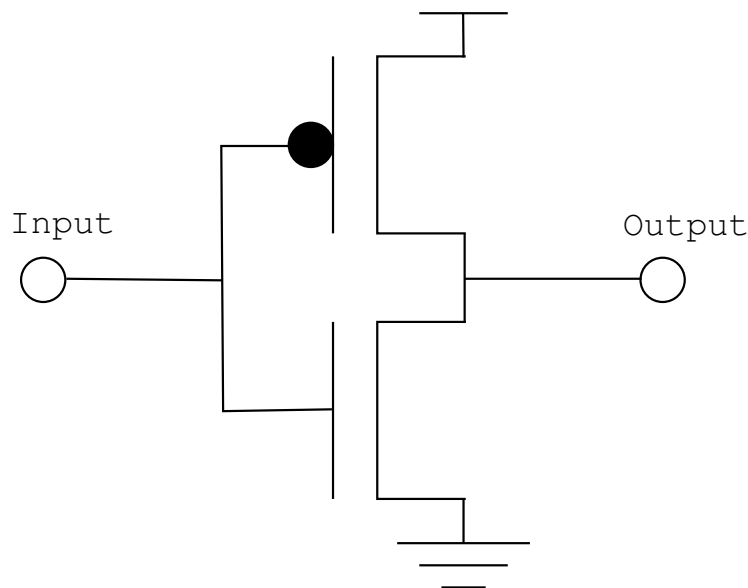
Referenzen

- In der sogenannten “nMOS-Technologie” wird statt eines Pull-Up-Pfades ein Widerstand gegen V_{dd} verwendet.
- Dadurch werden weniger Transistoren für die Realisierung eines Gatters benötigt.
- Dafür fließt bei aktivem Pull-Down-Pfad ständig Strom durch die Schaltung.
- nMOS-Technologie wird heute nur in speziellen Einzelfällen angewandt.
- In “Pseudo-nMOS-Technologie” wird der Widerstand durch ein ständig offenes pMOSFET mit besonders langem Gate realisiert.



Inverting Buffer

- Der Inverting Buffer ist die einfachste CMOS Schaltung.
- Einen nicht-invertierenden CMOS Buffer gibt es nicht.
- Viele komplexere Logikschaltungen benutzen Inverter an den Ein- beziehungsweise Ausgängen (z.Bsp. XOR).



Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

- Transfer Gates
- Pull-Up/Pull-Down
- nMOS und Pseudo-nMOS
- Inverting Buffer
- NAND Gatter
- XOR Gatter
- Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen



NAND Gatter

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

- Transfer Gates
- Pull-Up/Pull-Down
- nMOS und Pseudo-nMOS
- Inverting Buffer
- **NAND Gatter**
- XOR Gatter
- Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

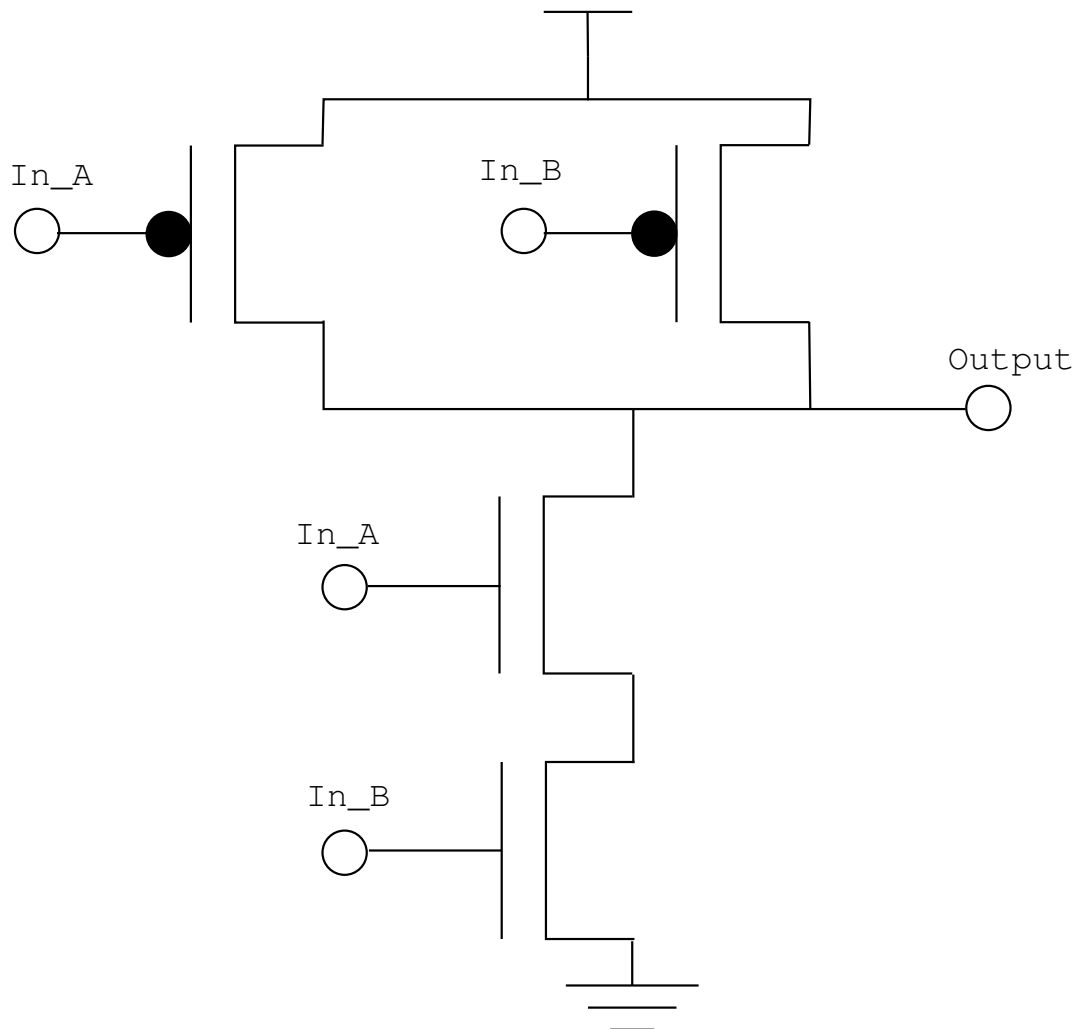
CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen





Dual-Rail Logic

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

- Transfer Gates
- Pull-Up/Pull-Down
- nMOS und Pseudo-nMOS
- Inverting Buffer
- NAND Gatter
- XOR Gatter
- Dual-Rail Logic

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Manche Schaltungen (z.Bsp. Latches und FlipFlops) liefern automatisch auch ein invertiertes Ausgangssignal.
- Oft wird der invertierte Wert eines Signals von mehreren Schaltungen als Eingangssignal benötigt.
- In diesen Fällen kann es sinnvoll sein statt einer Signalleitung zwei zu verwenden.
(Mit dem invertierten Signal auf der zweiten Leitung.)
- Das nennt man dann “Dual-Rail Logic”.
- Daher kann z.Bsp. ein XOR Gatter manchmal 8, manchmal 10 und manchmal 12 Transistoren in der Implementierung benötigen.



Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

- Multiplexer
- Busse
- Tristate-Treiber
- Pros und Kontras

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

Busse und Multiplexer



Multiplexer

[Einleitung](#)

[Elektrische Grundlagen](#)

[Halbleiter](#)

[CMOS Grundlagen](#)

[Busse und Multiplexer](#)

● Multiplexer

● Busse

● Tristate-Treiber

● Pros und Kontras

[Speicherschaltungen](#)

[Clocks und Clock-Routing](#)

[CMOS-Fertigungsprozess](#)

[CMOS-Design](#)

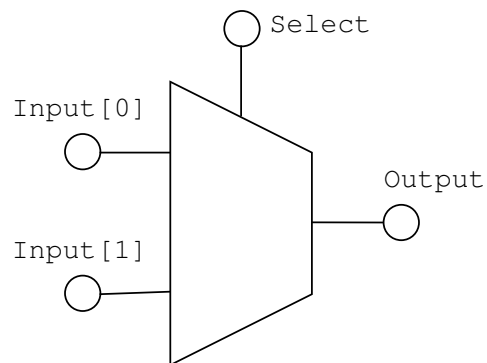
[Wachstumsgesetze](#)

[Optimierungen](#)

[Simulationen](#)

[Referenzen](#)

- Multiplexer übernehmen in Abhängigkeit von ihrem “Select”-Eingang den Wert eines ihrer Daten-Eingänge auf ihren Ausgang.
- Multiplexer können aus kombinatorischer Logik oder aus Transfer-Gates aufgebaut werden.





Busse

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

● Multiplexer

● Busse

● Tristate-Treiber

● Pros und Kontras

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Ein Bus ist eine Datenleitung auf die von mehreren Seiten aus “geschrieben” werden kann.
- Dabei darf zu einem Zeitpunkt maximal ein Busteilnehmer gleichzeitig auf den Bus “schreiben”.
- Es können zu jeden Zeitpunkt beliebig viele Busteilnehmer gleichzeitig von dem Bus “lesen”.



Tristate-Treiber

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

● Multiplexer

● Busse

● Tristate-Treiber

● Pros und Kontras

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Zum “Schreiben” auf Busse werden Tristate-Treiber verwendet.
- Ein Tristate-Treiber kennt drei verschiedene Zustände:
 - ◆ High: Der Bus wird mit V_{dd} kurzgeschlossen
 - ◆ Low: Der Bus wird mit Masse kurzgeschlossen
 - ◆ Hohohmig: Der Bus wird von V_{dd} und Masse isoliert
- Zu jedem Zeitpunkt darf sich maximal ein an einen Bus angeschlossener Tristate-Treiber in einem nicht-hohohmigen Zustand befinden.



Pros und Kontras

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

● Multiplexer

● Busse

● Tristate-Treiber

● Pros und Kontras

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Busse brauchen weniger Logik und weniger Routingressourcen als Multiplexer.
- Multiplexer besitzen keine verbotenen Zustände.
- Busse sind anfällig für Clock-Raceconditions.
- Busse können nicht mit Buffer verstärkt werden.
- Speziell im SoC Bereich mit hohen Taktraten werden häufiger Multiplexer eingesetzt.
- Ausserhalb von Chips und im niedriger getakteten Bereich überwiegen häufig die Vorteile von Bussen.



Speicherschaltungen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

- D-Latch
- D-FlipFlop
- SRAM und DRAM
- FLASH

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen



D-Latch

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

● D-Latch

● D-FlipFlop

● SRAM und DRAM

● FLASH

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Das D-Latch ist die einfachste CMOS Speicherschaltung.
- Es hat einen Daten- und einen Enable-Eingang sowie einen Daten-Ausgang.
- Solang Enable auf High ist wird der Wert vom Daten-Eingang auf den Ausgang durchgeschleift.
- Geht Enable auf Low wird der letzte Wert des Daten-Eingangs in der stabilen Rückkopplung zweier Inverter gespeichert und der Zustand des Daten-Ausgangs bleibt unverändert.



D-FlipFlop

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

● D-Latch

● D-FlipFlop

● SRAM und DRAM

● FLASH

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Ein Latch ist pegelgesteuert und übernimmt den Eingangswert solange der Enable-Eingang auf High ist.
- Ein FlipFlop ist flankengesteuert und übernimmt den Eingangswert in dem Augenblick in dem der Takteingang von Low auf High wechselt.
- Ein FlipFlop wird über die Kaskade von zwei Latches realisiert.



SRAM und DRAM

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

● D-Latch

● D-FlipFlop

● SRAM und DRAM

● FLASH

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- SRAM und DRAM sind Speichertechnologien für grosse Arrays von Speicherzellen.
- Bei SRAM und DRAM ist der Ressourcenverbrauch pro Bit geringer als bei Latches, dafür benötigen sie eine komplexere Peripherie zur Ansteuerung.
- Damit sind sie für die Implementierung einzelner Speicherbits ungeeignet.
- SRAM-Zellen benutzen wie Latches eine stabile Rückkopplung und benötigen lediglich zum Lesen und Schreiben eine besondere Peripherie.
- DRAM-Zellen benutzen Kondensatoren zum Speichern der Information in Form von Ladung und benötigen regelmässige Refreshes.



FLASH

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

● D-Latch

● D-FlipFlop

● SRAM und DRAM

● FLASH

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- FLASH ist eine nicht-flüchtige Speichertechnologie.
- FLASH-Speicher werden über ein in SiO_2 eingeschlossenes “Floating Gate” implementiert in dem eine Ladung für lange Zeit “eingeschlossen” bleibt.
- Bei geladenem Floating Gate wird der entsprechende MOSFET leitend. Dieser Zustand bleibt dauerhaft (bis zum Entladen des Floating Gates) erhalten.
- Zum Programmieren und Löschen werden Spannungen von etwa 20 Volt verwendet, die ausreichen um durch die SiO_2 Hülle durchzutunneln.
- Da zum Löschen der Bulk-Anschluss verwendet wird, den sich viele Transistoren teilen, kann nur blockweise gelöscht werden.



Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

- Buffering (1/2)
- Buffering (2/2)
- Race Conditions
- Clock vs. Signal
- Clock-Distribution-Netze
- Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

Clocks und Clock-Routing



Buffering (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

● Buffering (1/2)

● Buffering (2/2)

● Race Conditions

● Clock vs. Signal

● Clock-Distribution-Netze

● Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Es gibt kaum ein Signal mit so vielen Readern wie es bei der Clock der Fall ist.
- Da jedes MOSFET-Gate ein kleiner Kondensator ist ist sehr viel Strom in der Clock notwendig um sie alle gleichzeitig mit steilen Flanken zu schalten.
- Deshalb ist die Clock technisch auch nicht ein Signal sondern wird sehr oft mit Buffern (zwei Invertern hintereinander) aufgefrischt.



Buffering (2/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

● Buffering (1/2)

● Buffering (2/2)

● Race Conditions

● Clock vs. Signal

● Clock-Distribution-Netze

● Zweiphasen-Clock

CMOS-Fertigungsprozess

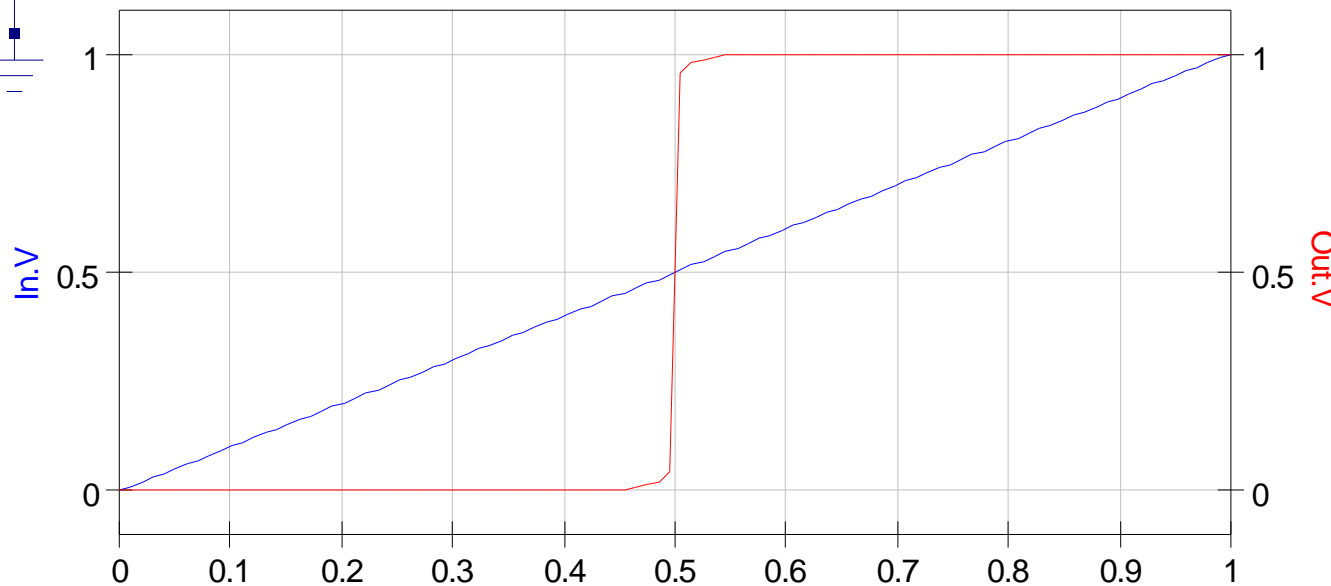
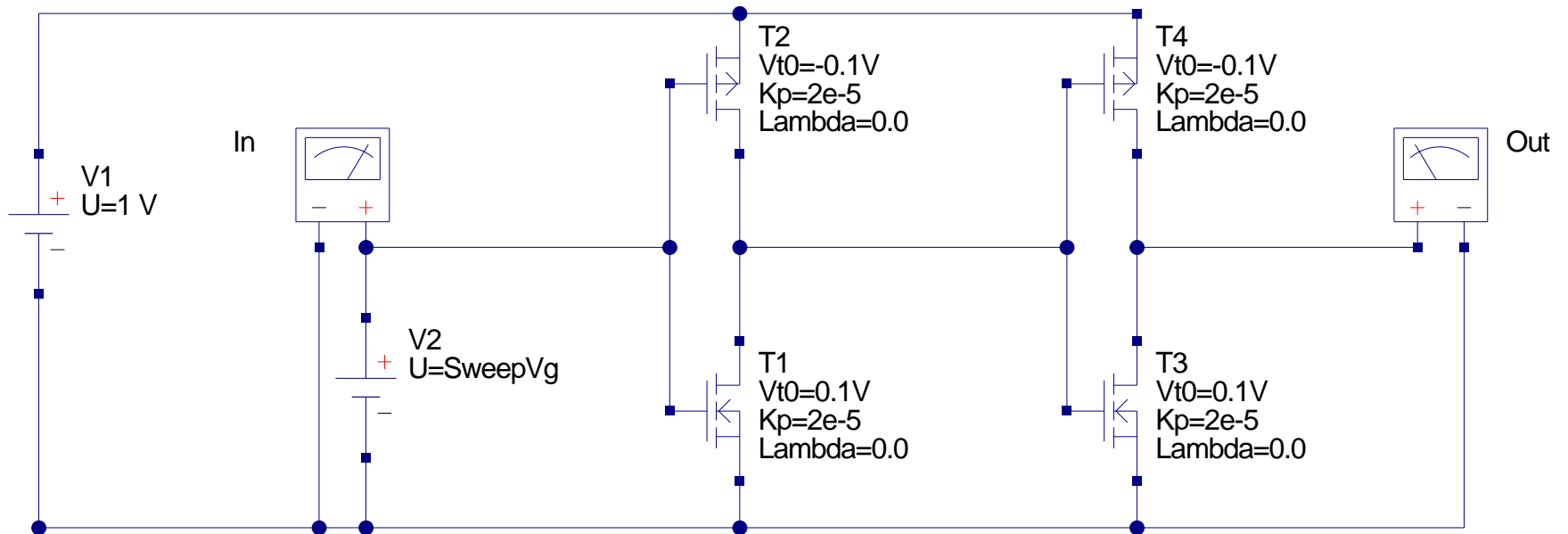
CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen



dc simulation

DC1

Parameter sweep

SW1
Sim=DC1
Type=lin
Param=SweepVg
Start=0 V
Stop=1 V
Points=100



Race Conditions

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

● Buffering (1/2)

● Buffering (2/2)

● Race Conditions

● Clock vs. Signal

● Clock-Distribution-Netze

● Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Wegen des Bufferings und des komplexen Signalrouting kommt die Clock nicht überall gleichzeitig an.
- Ähnlich wie in der Programmierung mit mehreren Threads kann es zu Race-Conditions kommen.
- Also Umstände unter denen zwei Signale “um die Wette rennen”.
- Je nachdem welches Signal schneller ist zeigt die Schaltung unterschiedliches Verhalten.
- Das ist sehr schlecht und meistens extrem schwierig zu debuggen.



Clock vs. Signal

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

● Buffering (1/2)

● Buffering (2/2)

● Race Conditions

● Clock vs. Signal

● Clock-Distribution-Netze

● Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Um Race-Conditions zu vermeiden wird die Clock meistens gegen die Signalrichtung geroutet.
- Da sich dann Datensignale und Clock entgegengesetzt ausbreiten sind Race-Conditions unmöglich.
- Dafür ist aber eine eingehende Analyse der Richtung des Signalflusses notwendig.
- Eine solche Analyse geht meistens nicht vollautomatisiert und oft sind nicht genug Design-Ressourcen dafür vorhanden.



Clock-Distribution-Netze

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

● Buffering (1/2)

● Buffering (2/2)

● Race Conditions

● Clock vs. Signal

● Clock-Distribution-Netze

● Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Clock-Distribution Netze stellen durch raffiniertes Routing sicher, dass die Signallaufzeit vom Takteingang am Chip-Gehäuse zu allen “Verbrauchern” exakt gleich lang ist.
- Diese Anforderung kann zum Beispiel mit fraktalen Bäumen mit den “Verbrauchern” an den Blättern erfüllt werden.
- Eine Delay-Schaltung am Takteingang verschiebt die Phase des Taktes so, dass bei den “Verbrauchern” der Takt synchron mit dem Takteingang am Chip-Gehäuse ankommt.
- Clock-Distribution-Netze sind ressourcenintensiv aber erleichtern die Designphase erheblich. Daher sind sie vor allem in FPGAs sehr beliebt.



Zweiphasen-Clock

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

- Buffering (1/2)
- Buffering (2/2)
- Race Conditions
- Clock vs. Signal
- Clock-Distribution-Netze
- Zweiphasen-Clock

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Bei der Zweiphasen-Clock werden statt einer Clock-Leitung zwei Clock-Leitungen benutzt.
- Bei den FlipFlops steuert eine Clock-Leitung das erste und die andere Clock-Leitung das zweite Latch.
- Ein Store wird statt mit einer Aufwärtsflanke über zwei Pulse implementiert.
- Beim ersten Puls übernimmt das FlipFlop intern den neuen Wert und beim zweiten Puls schaltet das Flipflop den neuen Wert durch.



CMOS-Fertigungsprozess

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- Metallebenen
- CMP
- Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen



Größenordnungen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

● Größenordnungen

- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- Metallebenen
- CMP
- Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Allein 2002 wurden weltweit etwa 1 Trillion ($1.000.000.000.000.000.000 = 10^{18}$) Transistoren hergestellt.
- Der Intel Itanium 2 Montecito hat 1,72 Milliarden Transistoren auf 596mm^2 .
- SRAM hat 6 Transistoren pro Bit plus der Lookup-Logik.
- 1 Gigabyte SRAM = über 50 Milliarden Transistoren
- So viele Transistoren werden nicht “einer nach dem anderen” hergestellt.
- Quellen:
<http://www.heise.de/newsticker/meldung/34415>
http://de.wikipedia.org/wiki/Intel_Itanium_2



Photolithographie

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

● Größenordnungen

● Photolithographie

● Maskentechnik

● Schichtenaufbau

● Dotieren der Wannen

● Poly-Ebene

● N+- und P+-Diffusionen

● Metallebenen

● CMP

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Photolithographie = “Mit Licht in Stein schreiben”
- Ein Photolack wird aufgetragen und durch Belichtung teilweise wieder entfernt.
- Danach wird ein Bearbeitungsschritt angewendet der nur auf dem nicht durch den Lack geschützten Bereich wirksam ist.
- Meistens ist das ein Wegätzen der unter dem Lack liegenden Schicht.
- Am Schluss wird der Lack wieder vollständig entfernt.



Maskentechnik

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

● Größenordnungen

● Photolithographie

● Maskentechnik

● Schichtenaufbau

● Dotieren der Wannen

● Poly-Ebene

● N+- und P+-Diffusionen

● Metallebenen

● CMP

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Für die Photolithographie werden Photomasken im Masstab 5:1 oder 10:1 benutzt.
- Eine Maske belichtet in der Regel nur wenige cm^2 und der Waver wird beim Belichten in einem Raster abgefahren.
- Für jeden Bearbeitungsschritt gibt es eine eigene Maske.
- Moderne CMOS-Prozesse erfordern gut 10 Masken und mehr in einem Set.
- Manche High-End Prozesse kommen auf über 30 Masken in einem Set.
- Die Herstellung dieser Masken ist extrem teuer.
Größenordnung: 100.000, – USD pro Maske



Schichtenaufbau

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

● Größenordnungen

● Photolithographie

● Maskentechnik

● Schichtenaufbau

● Dotieren der Wannen

● Poly-Ebene

● N+- und P+-Diffusionen

● Metallebenen

● CMP

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

■ Ein Microchip ist aus mehreren Schichten aufgebaut:

■ P-Substrat

- ◆ N-Wannen
- ◆ P+-Diffusionen
- ◆ N+-Diffusionen

■ SiO_2 -Schicht

- ◆ Besonders für MOSFET-Gates
- ◆ Löcher mit Metallfüllung für Durchkontaktierungen

■ Polysilizium-Leiterbahnen (dazwischen SiO_2)

■ Für jede Metallebene:

- ◆ SiO_2 -Schicht mit Durchkontaktierungen
- ◆ Metall-Leiterbahnen (dazwischen SiO_2)



Dotieren der Wannen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

● Größenordnungen

● Photolithographie

● Maskentechnik

● Schichtenaufbau

● Dotieren der Wannen

● Poly-Ebene

● N+- und P+-Diffusionen

● Metallebenen

● CMP

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Erstellen einer SiO_2 -Schicht.
- Auftragen und Belichten von Photolack.
- Wegätzen des nicht durch Lack geschützten SiO_2 .
- Entfernen des verbleibenden Photolacks.
- Dotieren durch Ionenimplantation.
(Nur auf Bereichen die nicht von SiO_2 verdeckt sind.)
- Wegätzen der SiO_2 Schicht.



Poly-Ebene

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- Metallebenen
- CMP
- Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Erzeugen einer dünnen SiO_2 -Schicht.
- Erzeugen einer Schicht aus polychristallinem Silizium.
- Mittels Photolithographie und Ätztechnik:
 - ◆ Entfernen der Stellen die nicht Poly-Leiterbahnen sind.
- Polychristallines Silizium überlebt die Hitze beim Dotieren der N+ und P+ Diffusionen.
- Metall (Aluminium, Kupfer) hat diese Eigenschaft nicht.



N+- und P+-Diffusionen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene

● N+- und P+-Diffusionen

- Metallebenen
- CMP
- Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Erzeugen einer dicken SiO_2 -Schicht.
- Mittels Photolithographie und Ätztechnik:
 - ◆ Entfernen der Stellen für Diffusionen inklusive Gates.
 - ◆ Dadurch gibt es einen nahtlosen Übergang zwischen Gate und Source/Drain.
- Dotieren durch Ionenimplantation.
(Nur auf Bereichen die nicht von SiO_2 verdeckt sind.)
- Entfernen der verbleibenden SiO_2 Schicht.
- Der Name “Diffusionen” ist historisch bedingt da früher Diffusion zum Dotieren benutzt wurde. Heute wird praktisch nur noch mit Ionenimplantation gearbeitet.



Metallebenen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- **Metallebenen**
- CMP
- Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Erzeugen einer dicken SiO_2 -Schicht.
- Mittels Photolithographie und Ätztechnik:
 - ◆ Entfernen der Stellen für Durchkontaktierungen
- Auffüllen mit Metall
- Wiederholung für die eigentlichen Leiterbahnen.
- Weiter mit der nächsten Metallebene.



CMP

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- Metallebenen

● **CMP**

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- CMP = “Chemisch-mechanisches Polieren”
- Wird nach jedem Bearbeitungsschritt angewendet nach dem die Waferoberfläche theoretisch glatt sein müsste.
- Bei CMP wird ein Teil der Oberfläche abgetragen und so die Waferoberfläche tatsächlich glatt gemacht.
- Erst durch CMP sind die vielen Metallschichten moderner CMOS-Prozesse möglich.



Kupfer

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

- Größenordnungen
- Photolithographie
- Maskentechnik
- Schichtenaufbau
- Dotieren der Wannen
- Poly-Ebene
- N+- und P+-Diffusionen
- Metallebenen
- CMP

● Kupfer

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Früher sind die Metallebenen mit Aluminium implementiert worden.
- Heute wird immer öfter Kupfer eingesetzt.
- Kupfer ist ein viel besserer Leiter als Aluminium.
- Dafür ist die Bearbeitung deutlich schwieriger.
- Im Kupferprozess werden die Oberflächen der Leiterbahnen immer noch in Aluminium ausgeführt.



Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

- High-Level Designs
- Maskenlayouts
- Design Rule Checking
- Circuit-Extraction
- Lambda-based Design-Rules
- Standardzellenentwurf
- Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

CMOS-Design



High-Level Designs

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

● High-Level Designs

● Maskenlayouts

● Design Rule Checking

● Circuit-Extraction

● Lambda-based Design-Rules

● Standardzellenentwurf

● Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Zunächst wird in einer HDL (z.Bsp. Verilog HDL oder VHDL) das Verhalten der Schaltung beschrieben.
- Als nächster Schritt werden, ebenfalls in der HDL, Testbenches zu der Schaltung entwickelt.
- Danach werden schrittweise die Verhaltensbeschreibungen der Module durch konkrete Implementierungen ersetzt.
- Am Ende dieses Prozesses steht eine Netzliste die Instanzen von prozessabhängigen Librarymodulen (z.Bsp. Gatter, Speicherzellen oder Transistoren) und ihre Verbindungen zueinander beschreibt.
- Wie weit dieser Prozess automatisiert, halbautomatisiert oder manuell abläuft ist von vielen Faktoren abhängig.



Maskenlayouts

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

● High-Level Designs

● Maskenlayouts

● Design Rule Checking

● Circuit-Extraction

● Lambda-based Design-Rules

● Standardzellenentwurf

● Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Die Netzlisten enthalten keine Informationen über die geometrische Anordnung der Module.
- Diese wird erst beim Erstellen des Maskenlayouts festgelegt.
- Maskenlayouts werden halbautomatisiert in CAD-Programmen erstellt.
- Das gängigste Dateiformat für Maskenlayouts ist GDS II.



Design Rule Checking

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

● High-Level Designs

● Maskenlayouts

● Design Rule Checking

● Circuit-Extraction

● Lambda-based Design-Rules

● Standardzellenentwurf

● Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Jeder CMOS-Prozess hat gewisse Design-Rules.
- Diese Design Rules betreffen hauptsächlich Angaben zu minimalen und maximalen Strukturgrößen aller Art.
- Im Design Rule Checking (DRC) wird automatisiert geprüft ob diese Regeln in einem Maskenlayout eingehalten worden sind.



Circuit-Extraction

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

● High-Level Designs

● Maskenlayouts

● Design Rule Checking

● Circuit-Extraction

● Lambda-based Design-Rules

● Standardzellenentwurf

● Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Bei der Circuit-Extraction wird aus den fertigen Maskenlayouts wiederum ein Schaltplan generiert.
- Dieser Schaltplan dient im Wesentlichen zwei Zwecken:
 - ◆ Überprüfen, ob das Maskenlayout mit der Netzliste elektrisch übereinstimmt.
 - ◆ Simulationen des elektrischen Verhaltens einer Schaltung
- Die Circuit-Extraction liefert niemals eine exakte Beschreibung der Schaltung:
 - ◆ Z.Bsp. Spulen und Kondensatoren können nur bedingt erkannt werden.
 - ◆ Es gibt immer durch den Fertigungsprozess bedingte Abweichungen.
- Professionelle Circuit-Extraction-Tools erlauben das Erstellen von eigenen Regelsätzen.



Lambda-based Design-Rules

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

● High-Level Designs

● Maskenlayouts

● Design Rule Checking

● Circuit-Extraction

● **Lambda-based Design-Rules**

● Standardzellenentwurf

● Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Ein λ (Lambda) entspricht der halben minimalen Länge eines MOSFET-Gates.
- Neben den Design-Rules mit absoluten Massangaben haben sich Lambda-basierende Design-Rules bewährt.
- Diese haben den Vorteil mehr oder weniger skalierbar und “portabel” zu sein.
- Und den Nachteil nicht das letzte technische Machbare aus dem verwendeten CMOS Prozess herauszuholen.
- Es gibt unterschiedliche Lambda-basierende Design-Rules.
- Die bekanntesten sind die MOSIS-Rules “SCMOS”, “SUBM” sowie “DEEP”.



Standardzellenentwurf

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

- High-Level Designs
- Maskenlayouts
- Design Rule Checking
- Circuit-Extraction
- Lambda-based Design-Rules
- Standardzellenentwurf
- Makrozellenentwurf

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Der Standardzellenentwurf ist ein beliebtes und einfaches Entwurfsmuster für CMOS-Designs.
- Grundelemente (Gatter, etc.) werden als “Standardzellen” fertig zur Verfügung gestellt.
- Diese Standardzellen haben folgende Eigenschaften:
 - ◆ Gleiche Höhe und variable Breite
 - ◆ An der Oberkante V_{dd} und an der Unterkante GND
 - ◆ In der oberen Hälfte N-Dotierung, unten P-Dotierung
- Da alle Standardzellen gleich hoch sind kann man sie leicht zu Zeilen anordnen.
- Zwischen den Zeilen wird ein Verdrahtungskanal variabler Höhe freigelassen.



Makrozellenentwurf

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

- High-Level Designs
- Maskenlayouts
- Design Rule Checking
- Circuit-Extraction
- Lambda-based Design-Rules
- Standardzellenentwurf
- **Makrozellenentwurf**

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- Beim Makrozellenentwurf werden Funktionsblöcke als rechteckige Bereiche implementiert.
- Zwischen den Makrozellen werden Verdrahtungsbereiche freigelassen.
- Hier gibt es immer ein gewisses Henne-Ei-Problem zwischen Floorplaning und Design der einzelnen Makrozellen.
- Einzelne Makrozellen können selbst wiederum im Makrozellenentwurf oder Standardzellenentwurf designed werden.



Wachstumsgesetze

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

- Mooresches Gesetz
- Transistor pro Designermonat
- Abführen von Verlustleistung
- Leistungsaufnahme

Optimierungen

Simulationen

Referenzen



Mooresches Gesetz

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

● Mooresches Gesetz

● Transistor pro Designermonat

● Abführen von Verlustleistung

● Leistungsaufnahme

Optimierungen

Simulationen

Referenzen

- Das Mooresche Gesetz sagt ein exponentielles Wachstum der Anzahl der Transistoren pro Chip in High-End-Elektronik voraus.
- Seit der Formulierung 1965 hat sich dieses Gesetz bewahrheitet.
- Das Moorsche Gesetz trifft keine Aussage über Performance oder Integrationsdichte.
- Das Wachstum der Transistoren pro Chip beträgt etwa 58% pro Jahr.



Transistor pro Designermonat

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

● Mooresches Gesetz

● Transistor pro Designermonat

● Abführen von Verlustleistung

● Leistungsaufnahme

Optimierungen

Simulationen

Referenzen

- Diese Schaltungen mit unglaublich vielen Transistoren müssen auch designed werden.
- Demnach gibt es auch eine Zahl von Transistoren pro Chipdesigner-Monat.
- Durch die stetige Verbesserung der EDA Software und Automatisierung des Designprozesses ist auch dieses Wachstum exponentiell.
- Es beträgt aber nur etwa 21% pro Jahr.
- Die Folge: Das Design von High-End-Elektronik ist mit exponentiell wachsenden Kosten verbunden.



Abführen von Verlustleistung

- Einleitung
- Elektrische Grundlagen
- Halbleiter
- CMOS Grundlagen
- Busse und Multiplexer
- Speicherschaltungen
- Clocks und Clock-Routing
- CMOS-Fertigungsprozess
- CMOS-Design
- Wachstumsgesetze**
 - Mooresches Gesetz
 - Transistor pro Designermonat
 - **Abführen von Verlustleistung**
 - Leistungsaufnahme
- Optimierungen
- Simulationen
- Referenzen

- Ebenfalls ein wichtiger Wert ist die Menge der Wärmeenergie die abgeführt werden kann.
- Hier hat sich zwar geändert welche Technologien im End-User-Segment üblich sind, aber die Grenze des technisch Machbaren ist gleich geblieben.
- Und der Strompreis steigt.



Leistungsaufnahme

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

- Mooresches Gesetz
- Transistor pro Designermonat
- Abführen von Verlustleistung
- Leistungsaufnahme

Optimierungen

Simulationen

Referenzen

- Bei der Leistungsaufnahme gab es von 1970 bis 2000 ein exponentielles Wachstum.
- Seitdem hat sich die maximale Leistungsaufnahme eines Chips in der Gegend von 100 Watt eingependelt.
- 1971: Intel 4004 in der Gegend von 0.1 bis 0.3 Watt.
- 2002: Intel Itanium 2 McKinley: 130 Watt TDP.



Optimierungen

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

- Bedeutung von

Verlustleistung

- Statische Verlustleistung
- Dynamische Verlustleistung
- Parallel bei kleinerem Takt
- Gatebreiten und Fan-Outs
- Interconnects (1/2)
- Interconnects (2/2)
- Anwendungsoptimierung

Simulationen

Referenzen



Bedeutung von Verlustleistung

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

- Statische Verlustleistung
- Dynamische Verlustleistung
- Parallel bei kleinerem Takt
- Gatebreiten und Fan-Outs
- Interconnects (1/2)
- Interconnects (2/2)
- Anwendungsoptimierung

Simulationen

Referenzen

- Während des Betriebs eines Mikrochips fließt Strom durch ihn hindurch.
- Die dabei freiwerdende Energie wird in Wärme umgewandelt und heizt den Mikrochip auf.
- Auf vielen Devices steht nur begrenzt elektrische Energie zur Verfügung und man kann die entstehende Hitze nur begrenzt abführen.
- Neben den offensichtlichen Critical-Path-Optimierungen ist die Reduktion der Verlustleistung das höchste Optimierungsziel in heutigen CMOS-Designs.



Statische Verlustleistung

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Die statische Verlustleistung kommt von dem Strom der durch eine Schaltung fließt auch wenn sich keine Gate-Zustände ändern.
- CMOS-Schaltungen haben kaum statische Verlustleistung.
- Z.Bsp. bei nMOS, Pseudo-nMOS und TTL macht sie aber einen beachtlichen Teil der Verlustleistung aus.
- Auch in modernen CMOS-Designs befinden sich teilweise Pseudo-nMOS-Schaltungen um die Anzahl der Transistoren zu verringern.
- Die statische Verlustleistung kann durch Verringerung der Transistorenanzahl sowie durch Abschalten unbenutzter Teilschaltungen verkleinert werden.



Dynamische Verlustleistung

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● **Dynamische Verlustleistung**

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Die dynamische Verlustleistung entsteht beim Ändern von Zuständen.
- Sie setzt sich aus zwei wesentlichen Teilen zusammen:
 - ◆ Der Gate-Bulk-Kapazität die beim Schalten geladen/entladen werden muss.
 - ◆ Dem Kurzschluss in der CMOS-Schaltung wenn Pull-Up und Pull-Down Pfad leitend sind.
- Die dynamische Verlustleistung kann durch Reduktion der Taktfrequenz verkleinert werden.
- Eine andere Form der Optimierung ist es, Designs mit weniger Zustandswechseln pro Takt zu wählen.



Parallel bei kleinerem Takt

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Bei kleineren Taktraten sinkt die dynamische Verlustleistung.
- Und bei kleineren Taktraten müssen die Transistoren weniger schnell schalten wodurch mit kleineren Spannungen gearbeitet werden kann.
- Designs, die durch Parallelliesierung mit doppelter Chipgrösse und halbem Takt arbeiten, haben deutlich kleinere Verlustleistungen.



Gatebreiten und Fan-Outs

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Die Leitfähigkeit des Source-Drain-Kanals eines MOSFET ist direkt proportional zur Breite des Gates.
- Ein Transistor, dessen Ausgang doppelt so viele Gates steuert, sollte für die gleiche Schaltzeit also doppelt so breit sein.
- Durch ein doppelt so breites Gate verdoppelt sich aber auch die eigene Gate-Bulk-Kapazität.
- Eine Critical-Path-Analyse hilft dabei zu entscheiden wie breit welches Gate sein sollte.
- Die Anzahl der Gatter-Eingänge die ein Gatter-Ausgang treiben kann bezeichnet man als Fan-Out.



Interconnects (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Mit höherer Integrationsdichte wird die Optimierung von Interconnects immer wichtiger.
- Bei kurzen Verbindungen sind die Interconnects zu vernachlässigen.
- Mit der extremen Leiterbahndichte moderner CMOS-Prozesse werden lange Interconnects immer problematischer.
- Daher skaliert die effektive Leiterbahndichte nicht so gut wie die Transistordichte.
- Moderne Designs sind im Interconnect-Segment overengineered um später leichter auf neuere Prozesse portiert werden zu können.



Interconnects (2/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Die Probleme die bei Interconnects auftreten:
 - ◆ Hoher Widerstand aufgrund kleiner Leiterdurchmesser
 - ◆ Kondensatorwirkung mit benachbarten Leiterbahnen aufgrund kleiner Leiterbahnabstände (Crosstalking)
 - ◆ Electromigration
- Gegenmassnahmen die getroffen werden können:
 - ◆ Dicke Leiter, grosse Abstände und Shieldings
 - ◆ Symetische Signalführung, Buffer und Booster
- Trotz computergestützter Schaltungssynthese ist gutes Floorplaning gerade in modernen Designs extrem wichtig.
- Modernere Prozesse haben immer mehr Metallebenen.
- In heutigen CMOS-Prozessen haben höhere Metallebenen eine geringere Leiterbahndichte als niedrigere Ebenen.



Anwendungsoptimierung

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

● Bedeutung von

Verlustleistung

● Statische Verlustleistung

● Dynamische Verlustleistung

● Parallel bei kleinerem Takt

● Gatebreiten und Fan-Outs

● Interconnects (1/2)

● Interconnects (2/2)

● Anwendungsoptimierung

Simulationen

Referenzen

- Bei Schaltungen die zwingend eine CPU (DSP, etc.) beinhalten liegt das groesste Optimierungspotential bei der Software.
- Bei effektiverer Software ist es dann beispielsweise möglich die Taktrate zu senken.
- Ansonsten sollte man immer überlegen ob z.Bsp. mit einer Datapath-Pipeline das Problem auch in Hardware gelöst werden kann.
- Der Unterschied in Performance und Verlustleistung zwischen Hardware- und Software-Implementierungen ist meist irrwitzig gross.



Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

- Simulationen (1/2)
- Simulationen (1/2)
- Software
- SPICE-Decks
- SPICE Modelle
- Design Corners

Referenzen

Simulationen



Simulationen (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● SPICE-Decks

● SPICE Modelle

● Design Corners

Referenzen

- Der CMOS-Prozess ist langwierig und extrem teuer.
- Trial-and-Error ist in diesem Umfeld keine Option.
- Sowas wie “Bananenchips” gibt es nicht.
(In Anlehnung an “Bananensoftware” die den KundInnen reift.)
- Daher sind Simulationen eines der wichtigsten technischen Hilfsmittel im modernen CMOS-Design.
- Simulationen ersetzen aber nicht Erfahrung und sorgfältige Planung.



Simulationen (1/2)

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● SPICE-Decks

● SPICE Modelle

● Design Corners

Referenzen

- Für alle Simulationen gilt:
 - ◆ Das Simulationsergebnis sollte sich mit einer Erwartung decken
 - ◆ Wenn nicht muss unbedingt verstanden werden warum
 - ◆ Trial-and-Error an einer Simulation ist eine schlechte Idee
 - ◆ GIGO: Garbage-In, Garbage-Out
- Man unterscheidet Simulationen auf unterschiedlichen Ebenen:
 - ◆ Process Simulation
 - ◆ Circuit Simulation
 - ◆ Logic Simulation
 - ◆ Architecture Simulation
- In diesem Kontext am wichtigsten ist die Circuit Simulation.



Software

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● SPICE-Decks

● SPICE Modelle

● Design Corners

Referenzen

- Für die Circuit-Simulation ist Hochleistungssoftware notwendig.
- Selbst die einfachsten Simulationsmodelle bestehen aus komplexen nichtlinearen Differenzialgleichungen.
- Am beliebtesten sind Derivate von SPICE (z.Bsp. HSPICE und PSPICE).
- SPICE war ursprünglich BSD Software, inzwischen gibt es eine Vielzahl von freien und proprietären SPICE-Derivaten.



SPICE-Decks

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● **SPICE-Decks**

● SPICE Modelle

● Design Corners

Referenzen

- Die (zeilenbasierten) SPICE-Input-Files heissen “Decks”.
- Jedoch gibt es eine Vielzahl von Kommandos, wodurch SPICE zu einer sehr mächtigen Sprache wird.
- Im Wensentlichen definiert ein SPICE-Deck eine Netzliste mit elektronischen Komponenten.
- Sowie Steueranweisungen zu Stimuli und Ausgabe.
- Es gibt Support für Include-Files und externe Libraries
- Oft werden Teile eines SPICE-Decks aus CAD-Applikationen heraus generiert.



SPICE Modelle

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● SPICE-Decks

● SPICE Modelle

● Design Corners

Referenzen

- SPICE unterstützt viele verschiedene Simulationsmodelle.
- Das wichtigste Model ist “BSIM”.
- “BSIM” Version 3v3:
 - ◆ Über 100 Parameter
 - ◆ Die Gleichungssysteme füllen 27 A4 Seiten
- “BSIM” Version 4:
 - ◆ Unterstützung für Gate-Leakage
 - ◆ Und anderer Effekte superdünner Gates



Design Corners

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

● Simulationen (1/2)

● Simulationen (1/2)

● Software

● SPICE-Decks

● SPICE Modelle

● Design Corners

Referenzen

- Nicht alle baugleichen Transistoren verhalten sich exakt gleich.
- Fertigungsbedingte Unterschiede sind bei benachbarten Transistoren kleiner als zwischen unterschiedlichen Wafers.
- Damit gibt es nicht die “eine gültige” Simulation für einen Chip.
- Die “Design Corners” geben einen Rahmen vor, in dem sich die Unterschiede meistens bewegen.
- Innerhalb dieser “Design Corners” sind mehrere Simulationen notwendig.



[Einleitung](#)

[Elektrische Grundlagen](#)

[Halbleiter](#)

[CMOS Grundlagen](#)

[Busse und Multiplexer](#)

[Speicherschaltungen](#)

[Clocks und Clock-Routing](#)

[CMOS-Fertigungsprozess](#)

[CMOS-Design](#)

[Wachstumsgesetze](#)

[Optimierungen](#)

[Simulationen](#)

[Referenzen](#)

- MOSIS
- Literatur
- Freie Software
- Webpages
- Diese Präsentation

Referenzen



MOSIS

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

● MOSIS

● Literatur

● Freie Software

● Webpages

● Diese Präsentation

- MOSIS ist ein Low-Cost-Prototyping-Service für Microchips.
- Mehrere Kundinnen teilen sich ein Maskenset und reduzieren so die Preise für die Maskenherstellung drastisch.
- Die verfügbaren Stückzahlen bewegen sich von 40 bis etwa 2000 Chips.
- Eine Vielzahl unterschiedlicher CMOS Prozesse wird von MOSIS angeboten.
- Die Preise sind für die Bastlerin daheim immer noch zu hoch aber für kleinere Betriebe durchaus leistbar.

<http://www.mosis.com/>



Literatur

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

● MOSIS

● Literatur

● Freie Software

● Webpages

● Diese Präsentation

■ CMOS VLSI Design von Neil H.E. Weste

<http://www.aw-bc.com/weste/>

ISBN-13: 978-0321149015

■ Grundlagen der CMOS-Technologie von Thomas Giebel

ISBN-13: 978-3519003502

■ Layoutsynthese elektronischer Schaltungen von Jens Lienig

<http://www.ifte.de/lienig/layout/index.html>

ISBN-13: 978-3540296270



Freie Software

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

● MOSIS

● Literatur

● Freie Software

● Webpages

● Diese Präsentation

■ SPICE

<http://en.wikipedia.org/wiki/SPICE>

■ Icarus Verilog

<http://www.icarus.com/eda/verilog/>

■ GTKWave

<http://home.nc.rr.com/gtkwave/>

■ Qucs

<http://qucs.sourceforge.net/>

■ GNU Electric

<http://www.gnu.org/software/electric/>



Webpages

[Einleitung](#)

[Elektrische Grundlagen](#)

[Halbleiter](#)

[CMOS Grundlagen](#)

[Busse und Multiplexer](#)

[Speicherschaltungen](#)

[Clocks und Clock-Routing](#)

[CMOS-Fertigungsprozess](#)

[CMOS-Design](#)

[Wachstumsgesetze](#)

[Optimierungen](#)

[Simulationen](#)

Referenzen

- MOSIS
- Literatur
- Freie Software
- **Webpages**
- Diese Präsentation

■ Metalab HDL Hackers

http://metalab.at/wiki/HDL_Hackers

■ Halbleitertechnologie von A bis Z

<http://www.halbleiter.org/>

■ Wikipedia Halbleiter Portal

<http://de.wikipedia.org/wiki/Portal:Halbleiter>



Diese Präsentation

Einleitung

Elektrische Grundlagen

Halbleiter

CMOS Grundlagen

Busse und Multiplexer

Speicherschaltungen

Clocks und Clock-Routing

CMOS-Fertigungsprozess

CMOS-Design

Wachstumsgesetze

Optimierungen

Simulationen

Referenzen

- MOSIS
- Literatur
- Freie Software
- Webpages
- Diese Präsentation

■ Cliffords Tools

<http://svn.clifford.at/tools/trunk/>

■ Clifford Wolf

<http://www.clifford.at/>

■ Weitere Präsentationen

<http://www.clifford.at/papers/>

■ Diese Präsentation

<http://www.clifford.at/papers/2007/cmosbasics/>